

# 数字触发技术

## ZDS2022 示波器

TN01010101 V1.01 Date:2014/04/29

工程技术笔记

类别	内容
关键词	触发、数字触发器、模拟触发器
摘要	介绍数字触发器的工作原理，与模拟触发器比有哪些优势。

## 修订历史

版本	日期	原因
V1.00	2014/04/22	创建文档
V1.01	2014/04/29	增加数字触发器优势部分的描述。

## 目 录

1. 触发与触发器.....	1
1.1 什么是触发.....	1
1.2 触发的作用.....	1
1.3 示波器中的触发器.....	2
2. 模拟触发器.....	4
2.1 模拟触发器的结构.....	4
2.2 模拟触发器的工作原理.....	4
2.2.1 比较器.....	4
2.2.2 时间数字转换器.....	5
2.3 模拟触发器的缺点.....	6
2.3.1 触发抖动.....	6
2.3.2 触发灵敏度.....	7
2.3.3 触发间隙.....	7
3. 数字触发器.....	8
3.1 数字触发器的结构.....	8
3.2 数字触发器的工作原理.....	8
3.3 数字触发器的优势.....	9
3.3.1 触发抖动小.....	9
3.3.2 可配置的触发灵敏度.....	9
3.3.3 触发间隙短.....	10
3.3.4 可配置的触发噪声抑制.....	10
3.3.5 触发条件丰富.....	10
4. 结论.....	11

## 1. 触发与触发器

这一节中，我们将阐述触发的定义，同时对示波器中的触发器做初步的了解。

### 1.1 什么是触发

触发可以理解为一个事件（或动作）；比如拍照时按下快门的这一个动作，就是触发，它是启动相机记录图像的一个事件。

常见的相机都有自拍功能，我们可以将相机设置成按下快门后倒计时 10 秒自动拍照，在这种模式中，我们认为“按下快门后倒计时 10 秒”就是触发条件，当满足该条件后相机就会启动并记录图像。

通过以上例子，我们知道触发是指“满足特定条件”的事件（或动作）；对于相机来说触发条件成立后将马上记录图像；同理，触发一词适应于其它任何场合。

### 1.2 触发的作用

对于示波器来说，触发条件成立后将开始记录波形（采样数据），那它有什么作用呢？

大家都知道示波器是用来观察模拟信号的，信号一般都具有某些特征，如从低变为高的过程（上升沿）或从高变为低的过程（下降沿）。如果这时候我们将触发条件设置为“上升沿”触发，那么示波器在遇到信号从低变为高的过程时就会开始记录波形，这样示波器的每一次采样都将从信号的上升沿开始，其显示效果如图 1.1 所示。

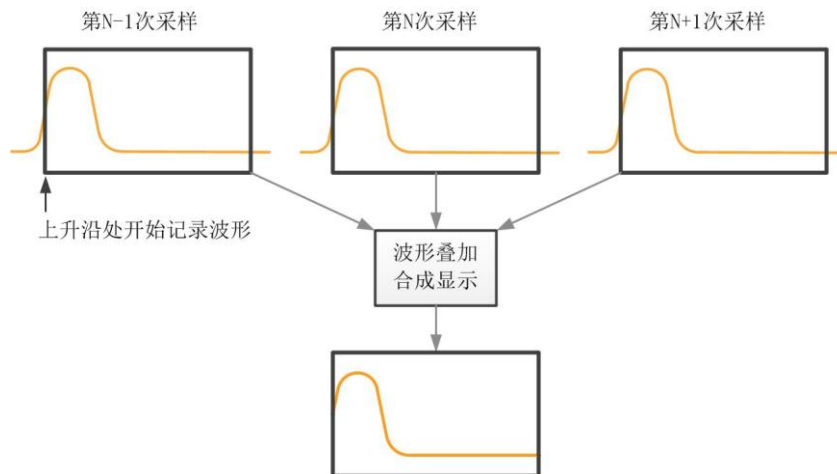


图 1.1 上升沿触发示意图

我们可以发现，多次采样的波形经过叠加合成后能够稳定的显示，因为每次开始采样波形的特征都一样。假如不设定触发条件，让它任意触发（也就是随时开始采样），效果又会是怎样的呢，如图 1.2 所示。

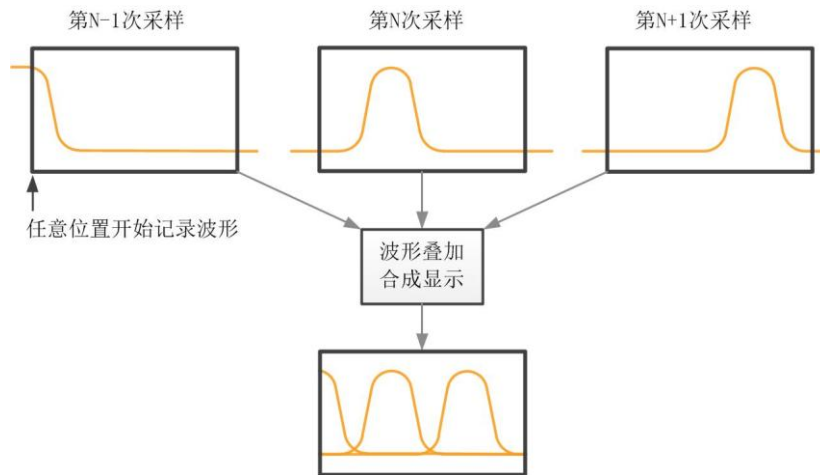


图 1.2 任意触发示意图

通过对比发现,当不设置具体的触发条件时,由于每次采样开始时波形的特征都不一样,经过合成显示后,波形会显得非常乱,不稳定,根本没办法分析。

所以我们可以得出结论,正确地设置触发条件有利于波形的稳定显示。

### 1.3 示波器中的触发器

触发器就是判断特定条件是否成立的一种装置,是触发执行的实体。

在示波器中,触发器是一个非常重要的组成部分,它是稳定显示波形的关键部件,触发的稳定程度直接影响了示波器的性能;那么数字存储示波器中的触发器必须具备哪些基本功能呢?

- ★ 首先,它必须具备识别信号特定特征(触发条件)的能力;
- ★ 其次,它必须在触发条件成立时输出控制信号,用于启动示波器采样存储;
- ★ 最后,也是最重要的一点,它必须测量出启动信号与存储时基(数据存储时的锁存信号)的时间差,以便于触发位置的还原与对齐。

这前面两个条件比较好理解,如图 1.3 所示为数字存储示波器的采样框架图,可以看到信号输入后分为两个通路,一路经过 ADC 抽样量化后可供存储记录;另一路经过触发器可产生启动信号控制采样存储。

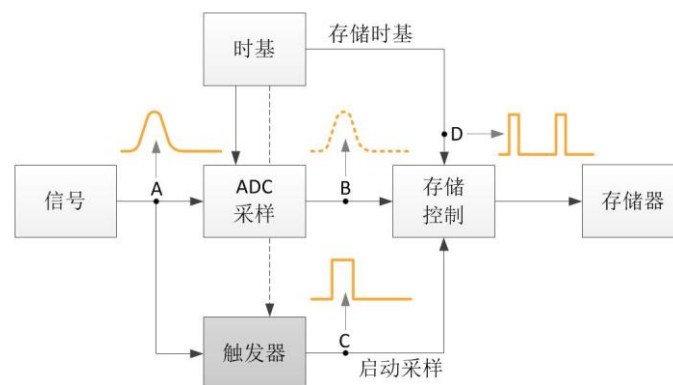
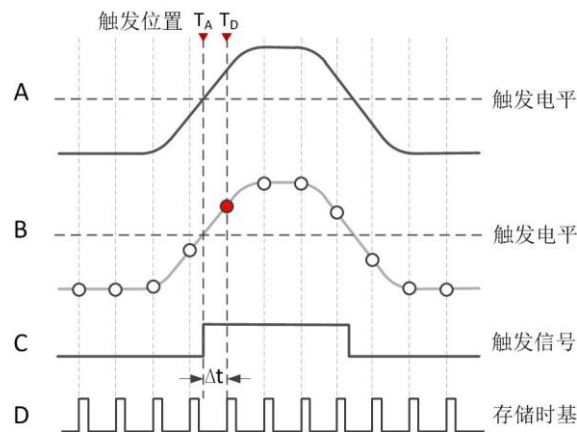


图 1.3 数字存储示波器的采样框图

触发器所要做的事情就是判断信号特征与触发条件是否一致,然后启动采样。信号最基

本的特征就是上升沿和下降沿，因此示波器中触发器的基本功就是捕获边沿（触发条件），最简单的方法就是使用比较器，将模拟信号转换为逻辑信号（方波），进而产生驱动信号（启动采样）以达到目的。

前面我们提到，触发器还必须测量出启动信号与存储时基的时间差，这里来解释一下。如图 1.4 所示，有 4 个波形分别代表图 1.3 中 A、B、C、D 各点的信号；图中  $T_A$  为被测信号期望的触发位置，信号经 ADC 抽样离散量化后，触发位置将会落在采样点上 ( $T_D$  处)；显然，如若不采取纠正措施，触发位置将会有偏差，影响波形的正常观察。



注：A、输入信号；B、经 ADC 量化后的波形信号；C、输入信号经比较器比较后输出的触发信号；D、时基信号，用来锁存量化后的波形信号。

图 1.4 触发点对齐

不难发现，触发位置的偏差量  $\Delta t = T_D - T_A$ ，其实就是触发信号上升沿与下一个存储时基上升沿的时间，触发器只需要把这两个信号的时间差测量出来，就有办法将触发位置还原对齐到期望的位置  $T_A$  上。

显然  $\Delta t$  的测量越精确，触发位置对齐就越精准，抖动也小了，此时波形显示就更稳定，示波器的性能就更好。测量信号的时间需要用到时间数字转换器（TDC），这个后面会进一步做介绍。

数字示波器中触发器大致分为两类：

- ★ 模拟触发器，主要由模拟电路组成；
- ★ 数字触发器，通常使用逻辑器件（FPGA、ASIC）实现。

在后续的章节中将会详细介绍这两种触发器的工作原理，并重点阐明模拟触发器的缺点和数字触发器的优势。

## 2. 模拟触发器

这一节将简单介绍模拟触发器的结构和工作原理，并分析数字存储示波器中模拟触发器存在的弊端。

### 2.1 模拟触发器的结构

如图 2.1 所示为模拟触发器的系统框图，结构和图 1.3 差不多；输入信号经过调理后分成采样通路和触发通路两个支路，两条通路最终都输出交由逻辑器件（FPGA/ASIC）做进一步处理。触发器最基本的组成单元包括比较器（CMP）和时间数字转换器（TDC），如图 2.1 右所示，其中比较器需要一个比较门限电平，通常使用 DAC 产生。因为触发器基本是由模拟电路组成，所以称为模拟触发器。

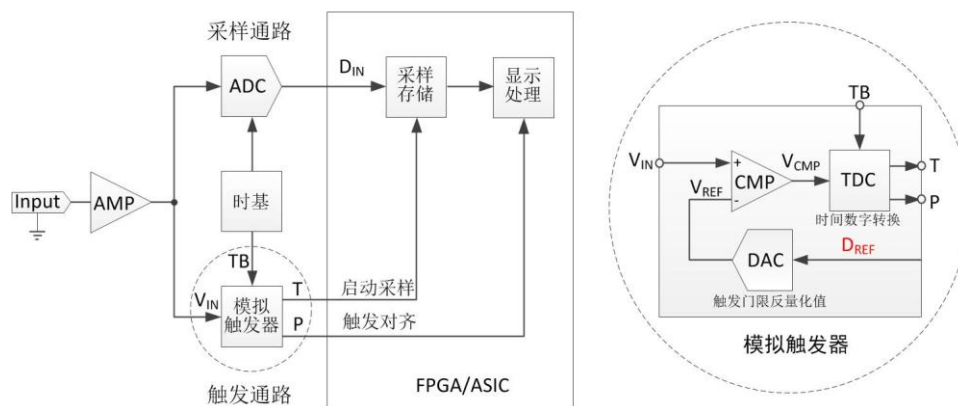


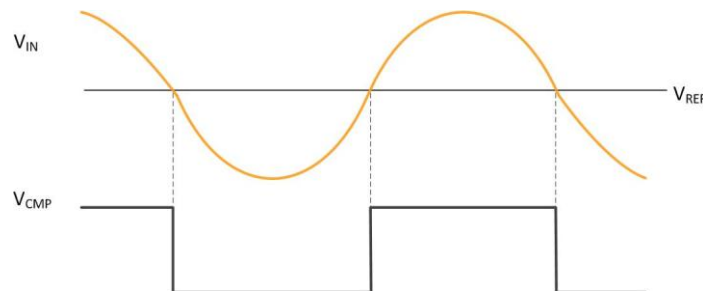
图 2.1 模拟触发器系统框图

### 2.2 模拟触发器的工作原理

这里用最简单的上升沿触发来讲述触发器的工作过程；模拟触发器工作分两步，首先通过比较器将输入的模拟信号转换为逻辑信号判断是否为上升沿，并输出触发信号启动采样存储；然后通过时间数字转换器测量出触发信号与存储时基的时间差。这里两个关键的单元是比较器和时间数字转换器。

#### 2.2.1 比较器

在示波器中，有一个名词叫触发电平，指的就是触发器中比较器的参考门限电平，用做比较基准，当输入信号幅值超过该参考电平时比较器输出逻辑高电平（上升沿），当输入信号幅值比参考电平低时比较器输出逻辑低电平（下降沿），结构如图 2.1 CMP 单元所示，比较器的输入输出信号关系如图 2.2 所示。



注： $V_{IN}$  为输入信号； $V_{REF}$  为比较参考电平， $V_{CMP}$  为输出比较信号。

图 2.2 比较器输入输出信号

在实际应用中，通常会使用迟滞比较器（施密特比较器），可以减少噪声引发的误触发，如图 2.3 所示。

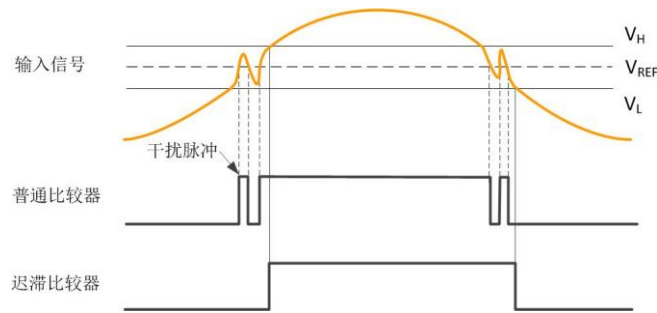


图 2.3 迟滞比较器

迟滞电压的大小 ( $V_H - V_L$ ，也称为触发灵敏度)，可通过改变比较器反馈电阻阻值来实现，通常是固定不变的。

### 2.2.2 时间数字转换器

时间数字转换器 (time-to-digital converter 简称 TDC) 用于测量信号间的时间间隔，测量精度通常达到皮秒级。在数字存储示波器中用于测量触发信号与存储时基的间隔，以便还原对齐触发位置。

时间数字转换器的实现方法有很多，在模拟触发器中常用时间内插模拟扩展技术，将短脉冲进行放大后再测量。

将短时间  $T$  展宽的办法是：首先在  $T$  内对一个电容以恒定电流充电；然后以比充电电流慢  $N$  倍的速度放电，则电容放电到起始状态下的时间是  $T$  的  $N$  倍，然后再用慢速时钟对其进行测量计数得到  $T \times N$ 。

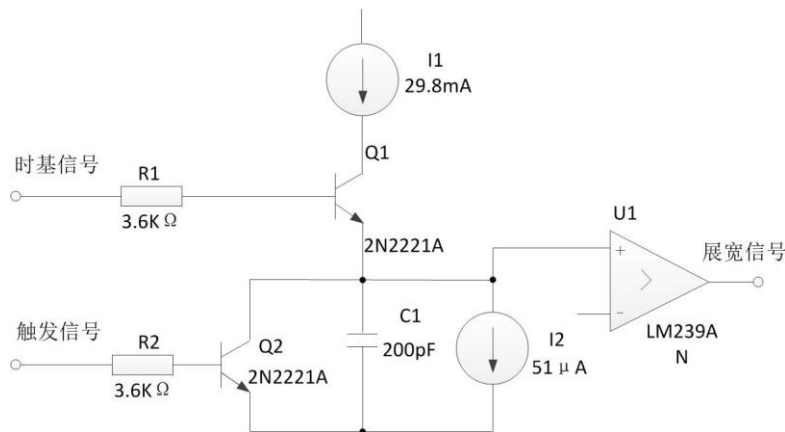


图 2.4 时间内插模拟扩展电路

典型的时间内插扩展电路原理图如图 2.4 所示，图中主要由一对高速电流开关  $Q_1$  和  $Q_2$  组成，恒流源  $I_1 = 29.8\text{mA}$ ， $I_2 = 51\mu\text{A}$ （即扩展 578 倍）。参考图 2.5 的时间内插扩展时序图我们可以做个简单的分析。



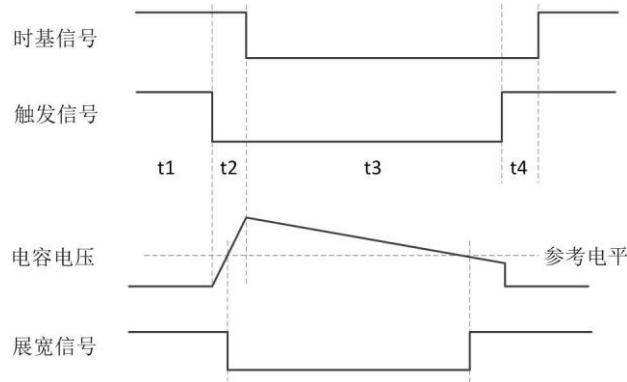


图 2.5 时间内插扩展时序图

- ★ 在 t1 时间内， $Q_1$  与  $Q_2$  均导通，电流源  $I_1$  直接通过  $Q_2$  到地，电容  $C_1$  不能充电，电压较低。
- ★ 在 t2 时间内， $Q_1$  导通， $Q_2$  截止，电流源  $I_1$  向电容  $C_1$  充电，电流源  $I_2$  放电，由于  $I_1$  是  $I_2$  的数百倍，这时可忽略  $I_2$  的影响。于是电容  $C_1$  两端电压升高，当大于比较器参考比较电压时，比较器输出高电平。
- ★ 在 t3 时间内， $Q_1$  与  $Q_2$  均截止，电流源  $I_2$  向电容放电，由于这时的放电电流为刚才充电电流的数百分之一，所以放电速度相当缓慢。当电容电压低于比较电压时，比较器输出低电平。
- ★ 在 t4 时间内， $Q_1$  截止， $Q_2$  导通， $Q_2$  将电容两端电压迅速拉低，恢复到初始状态，又准备下一个循环。

由上述电路分析可知，由于放电电流为充电电流的数百分之一，可知其放电时间约为其充电电压的数百倍，即相当于将微小的时间间隔放大了数百倍。

得到展宽后的信号后，只需要用较低速的时钟进行计数测量即可，测量结果再除以放大倍数就是所求的短脉冲时间间隔。

当然除了测量电流放电时间的方法之外，还有直接测量电压的方法，不过需要用到高精度 ADC。

## 2.3 模拟触发器的缺点

通过分析，我们可以总结出模拟触发器的一些不足之外，包括以下几个方面：

- ★ 触发动抖
- ★ 触发灵敏度
- ★ 触发间隙

### 2.3.1 触发动抖

有以下几个因素会影响到触发器的稳定性。

#### 1. 比较器输出抖动

比较器的参考门限电平 ( $V_{REF}$ ) 通常使用 DAC 反量化输出，其过程受 DAC 精度、比较器响应速度、系统噪声、环境温度影响容易产生漂移 ( $\Delta v$ )，这些因素将会导致比较器输出产生抖动 ( $\Delta t_1$ )，如图 2.6 右所示。当然，如果硬件电路控制得好，通常影响会比较小，甚至可以忽略。

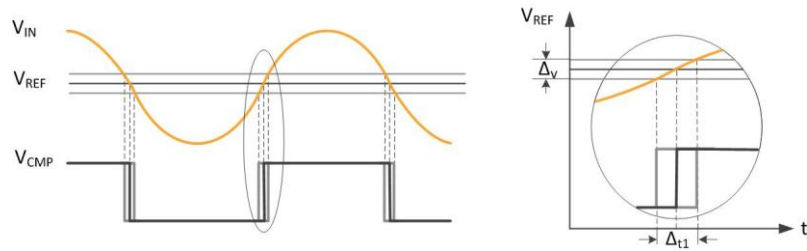


图 2.6 比较器输出抖动

## 2. 采样与触发通路间延时抖动

在模拟触发器中，信号的采样和触发是两个不同的物理通路，在设计时，我们认为两个通道间的延时为零（或是一个固定的值，可以修正）；但实际上，“采样通路”和“触发通路”两条不同路径受系统线性、非线性等因素（器件、PCB板材、噪声及环境温度变化等）干扰，会导致信号传输有延时差（ $\Delta dly$ ），产生触发抖动（ $\Delta t_2$ ），如图 2.7所示。

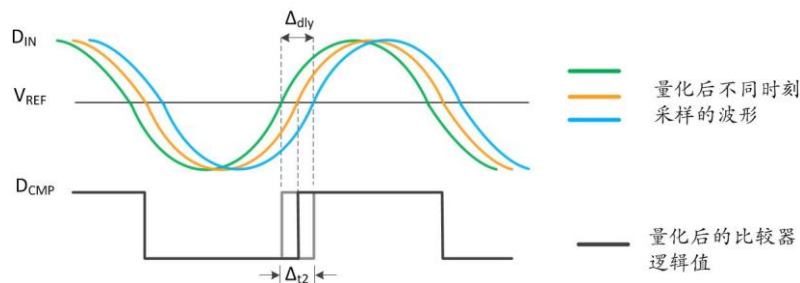


图 2.7 采样通路与触发通路延时抖动

## 3. TDC 的测量精度

TDC 的测量精度和实现方法与器件参数一致性有关，这是触发器的核心单元，由模拟器件组成，通常比较难控制，所以 TDC 的测量误差也是影响触发抖动的关键因素。

### 2.3.2 触发灵敏度

前面我们分析比较器的时候有提到触发灵敏度，需要通过更改比较器的反馈电阻来调节，在实际的应用中，通常调节好是固定的一个或两个值，不可能允许用户动态调整，因此不能很好地适应各种复杂的测试环境。

### 2.3.3 触发间隙

在分析模拟 TDC 的工作原理时，我们发现触发后系统（电容）需要一个时间恢复到初始状态，这个时间通常和展扩后的脉冲相当略长。这在数字存储示波器中是致命的，因为它会影响延长两次触发之间（增加死区时间）的间隙，这将严重影响波形刷新率，降低示波器的性能。

### 3. 数字触发器

数字触发器，顾名思义，使用逻辑器件全数字化处理，这一节将介绍它的工作原理及优点。

#### 3.1 数字触发器的结构

如图 3.1 所示为数字触发器的系统框图，我们发现触发器的输入信号来源于 ADC 抽样量化后的数据，是数字信号；触发器中的比较器和 TDC 也全部在逻辑器件中处理。

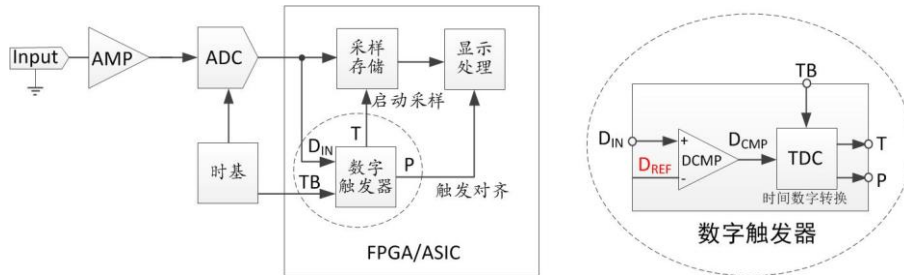


图 3.1 数字触发器系统框图

与模拟触发器相比，数字触发器有什么优势呢？首先它不在存两条不同的物理通路，采样通路和触发通路都是数字量，不受系统因素影响，不存在通路迟延差问题；其次，比较器是数字的也不存在外在干扰；最后，数字 TDC 响应速度快，能大大减少示波器的死区时间，提高波形刷新率。

#### 3.2 数字触发器的工作原理

数字触发器的工作原理和模拟触发器是一样的，只不过处理方法不同，这里主要介绍数字 TDC 的测量方法，其它的请参照模拟触发器的工作原理。

由于信号经过 ADC 抽样量化，信号是离散的，而触发分辨率通常要求要比 ADC 采样率高得多，因此不能像模拟触发器一样直接对数据进行比较。为了解决这个问题，需要使用内插算法对采样数据进行插值，如图 3.2 所示，插值后的数据其等效采样率会高出很多，可以直接与触发门限电平的数字量进行比较，判断信号的特征（如上升沿），因为使用的是数字插值技术，因此实际触发点  $T_A$  与采样存储触发点  $T_D$  的时间间隔是很容易计算出来的，而且速度非常快。

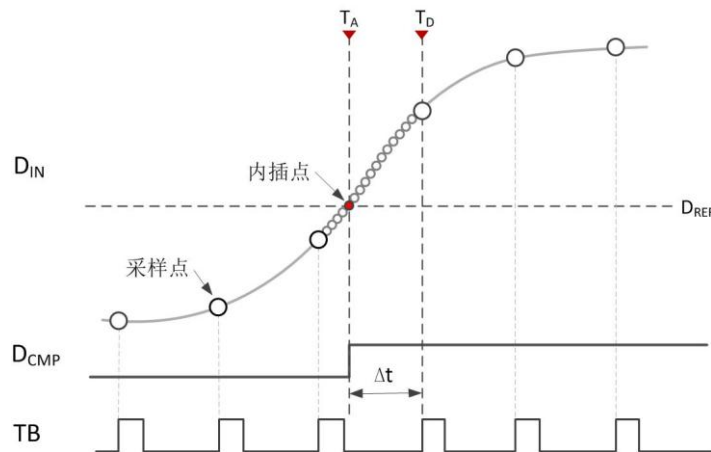


图 3.2 数字触发器触发内插示意图

因为输入信号是经过量化的数字信号，因此数字触发器的触发电平范围是不能超出 ADC 的量化范围的，这个也算是数字触发器的小缺点吧，之所以说小，是因为它不会影响示波器的正常使用。

我们可以来做简单的评估，假如 ADC 的采样率是 1GSa/s，即采样周期 1ns，假如使用 32 倍的插值算法，那么插值点的等效采样率就是 32GSa/s，我们可以认为 TDC 的最小分辨率为 31.25ps。当然，插值后的信号和原始信号还是有偏差的，这时候会引入一些测量误差，但影响很小。

### 3.3 数字触发器的优势

通过与模拟触发器对比，如图 3.3 所示，模拟触发器由模拟器件组成，需要具体的物理通路；数字触发器则使用逻辑器件（FPGA/ASIC）实现，全数字化处理，不存在物理通路。

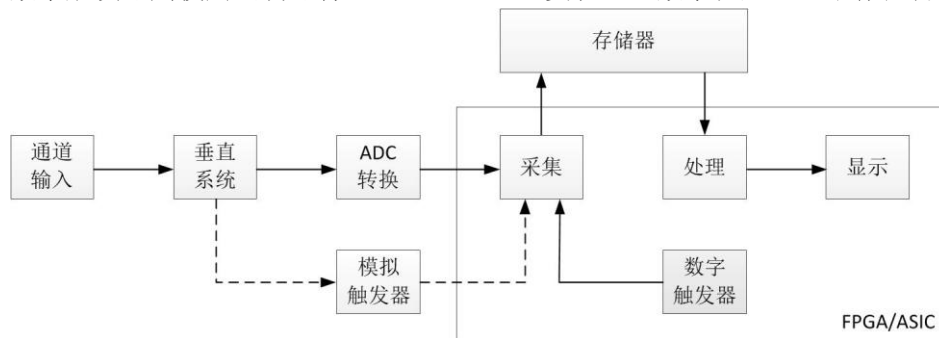


图 3.3 模拟与数字触发器结构对比

因此数字触发器的优势非常明显，主要体现为以下几个方面。

#### 3.3.1 触发动抖小

数字触发器使用全数字处理技术，不存在物理通路，不受外在因素（器件特性、环境温度等）影响，因此触发动抖非常小，波形显示稳定性高，如图 3.4 所示。

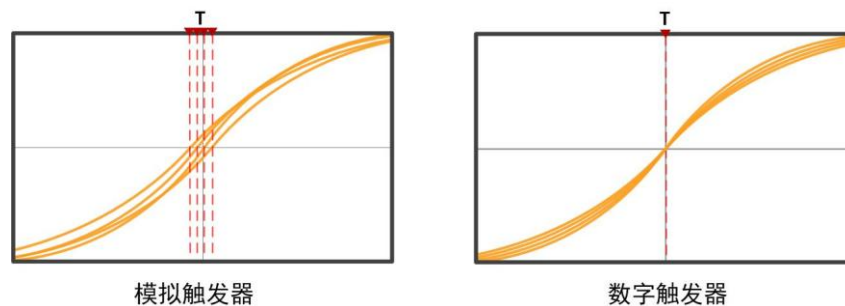


图 3.4 触发动抖对比示意图

#### 3.3.2 可配置的触发灵敏度

数字触发器的触发灵敏度高可以动态调节。如图 3.5 所示，观察微弱小信号时灵敏度可以调得很高（迟滞电平小），若为零则比较器不做迟滞处理，这样任何微弱信号的变化都能引起触发；观察噪声大的信号，则灵敏度可以调得很低（迟滞电平大）以稳定波形；可配置的触发灵敏度能灵活适应于各种场合，非常有用。

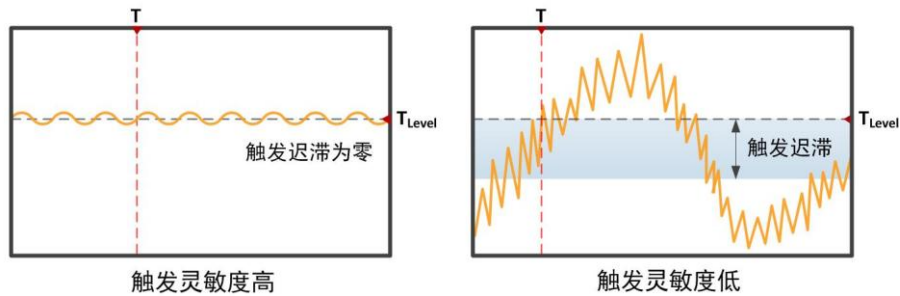


图 3.5 可配置的触发灵敏度

### 3.3.3 触发间隙短

模拟触发器响应一个触发条件后，触发电路需要一段时间恢复到初始状态，才能再次响应触发；在这期间，新的触发事件将会错失，同时较长的恢复时间将会增加示波器的死区时间影响波形刷新率。

数字触发器的 TDC 使用硬件算法实现，处理速度非常快，如 ZDS2022 的数字触发器，触发间隙仅为 8ns，TDC 分辨率高达 31.25ps，如图 3.6 所示。触发间隙短除了能快速响应触发序列之外，更重要的是它处理时间短，对于高波形刷新率的示波器意义重大。

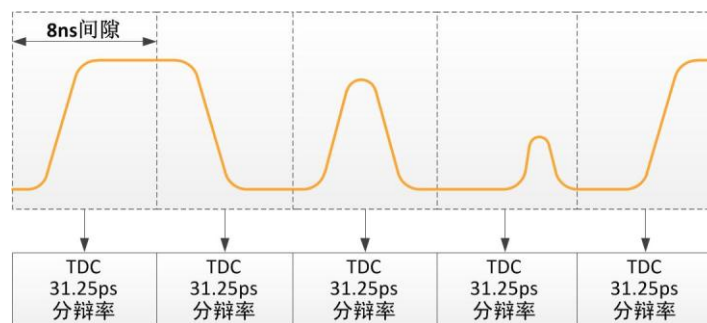


图 3.6 ZDS2022 触发间隙

### 3.3.4 可配置的触发噪声抑制

使用数字技术，数字触发器可以添加各种类型的数字滤波器来抑制信号噪声，提高触发器的抗干扰能力，这是模拟触发器无法比拟的。

### 3.3.5 触发条件丰富

基于数字处理的灵活性，数字触发器可以实现非常丰富的触发条件，如 ZDS2022 就具备 11 种基本触发和 21 种协议触发条件；协议触发包括 I2C、SPI、UART、USB、SD、CAN、LIN、FlexRay、1-Wire、PS/2、HDQ、Wiegand、DALI、DS18B20、SSI、IRDA、NEC、RC-5、RC-6、MANCHESTER、MILLER，史无前例！更智能的触发让系统调试更方便！

## 4. 结论

本文以触发为切入点，着重描述了数字存储示波器中触发器的基本工作原理，并对数字触发器的部分优势进行了讨论。

ZDS2022 数字示波器采用全新的实时数字触发技术，可在提供惊人的波形捕获率和分析速率的同时，还能将触发分辨率控制在 32ps，使波形稳定性达到前所未有的最高水平，这是模拟触发技术所不及的。

ZDS2022 示波器，为下一代性能而设计，融合多项领先技术，使其成为信号测量与分析的利器！